

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 08222639 A

(43) Date of publication of application: 30.08.96

(51) Int. Cl

H01L 21/82
G11C 11/401
G11C 29/00
H01L 27/108
H01L 21/8242

(21) Application number: 07047760

(22) Date of filing: 13.02.95

(71) Applicant: HITACHI LTD HITACHI INSTR
ENG CO LTD

(72) Inventor: TAKAHASHI KIMIKAZU
KASAMA YASUHIRO

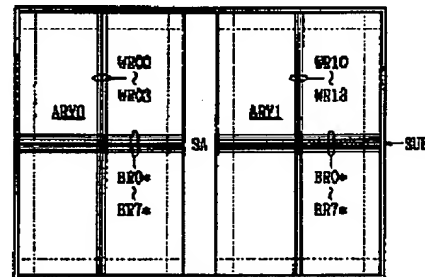
(54) SEMICONDUCTOR DEVICE

COPYRIGHT: (C)1996,JPO

(57) Abstract:

PURPOSE: To enhance the relief efficiency of a dynamic RAM having a redundant word line and a redundant bit line and to enhance the product yield by disposing a redundant element on the part having relatively large process margin of the surface of a semiconductor substrate.

CONSTITUTION: The semiconductor device comprises a redundant element disposed on the part having relatively large process margin of the surface of a semiconductor substrate. For example, the element has a redundant word line in which the drive route between its X-address decoder is selectively disconnected when it is not used and a redundant bit line in which the drive route of a corresponding unit amplifier is selectively disconnected when it is not used. Such redundant word line WR00 to WR03, WR10 to WR13 as well as the redundant bit lines BR0* to BR7* are disposed together at the central part having relatively large process merging of memory arrays ARY0 and RY2 including corresponding redundant memory cells.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-222639

(43) 公開日 平成8年(1996)8月30日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/82			H 0 1 L 21/82	R
G 1 1 C 11/401			G 1 1 C 29/00	3 0 1 B
	29/00	3 0 1	11/34	3 7 1 D
H 0 1 L 27/108		7735-4M	H 0 1 L 27/10	6 8 1 E
21/8242				

審査請求 未請求 請求項の数 4 F D (全 10 頁)

(21) 出願番号 特願平7-47760

(22) 出願日 平成7年(1995)2月13日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233240

日立計測エンジニアリング株式会社

茨城県ひたちなか市堀口字長久保832番地
2

(72) 発明者 高橋 公和

茨城県ひたちなか市堀口字長久保832番地
2 日立計測エンジニアリング株式会社内

(72) 発明者 笠間 靖裕

東京都小平市上水本町5丁目20番1号 株
式会社日立製作所半導体事業部内

(74) 代理人 弁理士 徳若 光政

(54) 【発明の名称】 半導体装置

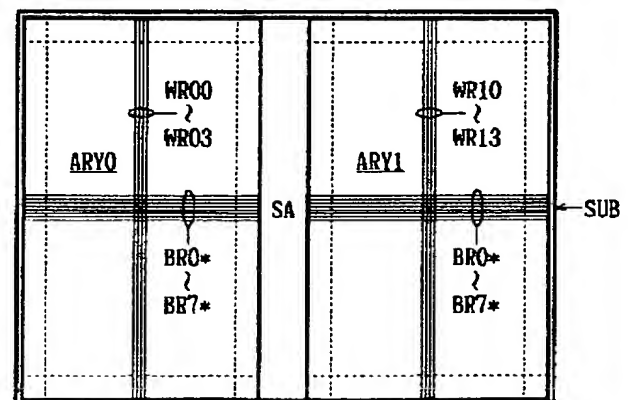
(57) 【要約】

【目的】 冗長ワード線及び冗長ビット線を備えるダイナミック型RAM等の救済効率を高め、その製品歩留まりを高める。

【構成】 冗長ワード線WR00～WR03, WR10～WR13ならびに冗長ビット線BR0*～BR7*を、メモリアレイARY0及びARY1の比較的プロセスマージンの小さな辺端部及び隅端部を避けて、比較的プロセスマージンの大きな中央部分を含む内側部に配置し、あるいは各メモリアレイの内側部に分散して配置するとともに、これらの冗長ワード線及び冗長ビット線が使用状態にないときには、その実質的な駆動経路となるXアドレスデコードとの間あるいはセンスアンプSAの対応する単位増幅回路とコモンソース線との間を切断状態とする。これにより、冗長ワード線及び冗長ビット線自体の障害発生率を低くし、異物混入等によりすべての冗長ワード線又は冗長ビット線が同時に不良となるのを防止し、さらには欠陥を持ちかつ使用状態にない冗長ワード線及び冗長ビット線が他の回路の正常動作に与える悪影響を防止する。

図3

ダイナミック型RAMの基板配置 (実施例1)



【特許請求の範囲】

【請求項1】 半導体基板面の比較的プロセスマージンの大きな部分に配置される冗長素子を具備することを特徴とする半導体装置。

【請求項2】 上記冗長素子は、複数個設けられるものであり、かつ上記半導体基板面の比較的プロセスマージンの大きな部分に分散して配置されるものであることを特徴とする請求項1の半導体装置。

【請求項3】 上記冗長素子は、選択的に使用されるものであり、かつそれが使用状態にないとき、その実質的な駆動経路が選択的に切断状態とされるものであることを特徴とする請求項1又は請求項2の半導体装置。

【請求項4】 上記半導体装置は、直交して配置されるワード線及びビット線を含むメモリアレイと、上記ビット線に対応して設けられる単位増幅回路を含むセンスアンプとを具備するダイナミック型RAMであり、上記冗長素子は、それが使用状態にないときそのXアドレスデコーダとの間の駆動経路が選択的に切断状態とされる冗長ワード線と、それが使用状態にないとき対応する上記単位増幅回路の駆動経路が選択的に切断状態とされる冗長ビット線とを含むものであって、上記半導体基板面の比較的プロセスマージンの大きな部分には、上記メモリアレイの辺端部及び隅端部を除く内側部が含まれるものであることを特徴とする請求項1、請求項2又は請求項3の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は半導体装置に関するもので、例えば、冗長ワード線及び冗長ビット線を備えるダイナミック型RAM（ランダムアクセスメモリ）ならびにその製品歩留まりの向上に利用して特に有効な技術に関するものである。

【0002】

【従来の技術】 直交して配置されるワード線及び相補ビット線を含むメモリアレイをその基本構成要素とするダイナミック型RAMがある。また、このようなダイナミック型RAM等のメモリアレイに冗長ワード線及び冗長ビット線を設け、欠陥が検出されたワード線又は相補ビット線と選択的に置き換えることでダイナミック型RAM等の製品歩留まりを高めるいわゆる欠陥救済方式が知られている。

【0003】

【発明が解決しようとする課題】 欠陥救済方式を採る従来のダイナミック型RAM等では、通常のワード線及びビット線が優先してメモリアレイの中央部分に配置され、冗長ワード線WR00～WR03、WR10～WR13ならびに冗長ビット線BR0*～BR7*は、図6に例示されるように、メモリアレイARY0及びARY1のいずれかの辺に近接したいわゆる辺端部に配置される。周知のように、メモリアレイの辺端部では、特にセ

ンスアンプSAの近接部における段差や露光マージンの低下の影響を受けやすいため、中央部分を含むいわゆる内側部に比較してプロセスマージンが小さくなる。また、メモリアレイの四隅に近接したいわゆる隅端部では、水洗後の乾燥不足やエッチング残等の影響を受けやすく、そのプロセスマージンは辺端部よりさらに小さくなる。この結果、せっかく不良ワード線又は不良ビット線を冗長ワード線又は冗長ビット線に置き換えても、冗長ワード線又は冗長ビット線自体が欠陥を孕む確率が高くなり、救済不能となる確率が高くなって、ダイナミック型RAM等の救済効率が低下し、その製品歩留まりが低下する。

【0004】 この発明の目的は、冗長ワード線及び冗長ビット線を備えるダイナミック型RAM等の救済効率を高め、その製品歩留まりを高めることにある。

【0005】 この発明の前記ならびにその他の目的と新規な特徴は、この明細書の記述及び添付図面から明らかになるであろう。

【0006】

【課題を解決するための手段】 本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、次の通りである。すなわち、冗長ワード線及び冗長ビット線を含むメモリアレイと、メモリアレイの各ビット線に対応して設けられる単位増幅回路を含むセンスアンプとを具備するダイナミック型RAM等において、冗長ワード線及び冗長ビット線を、メモリアレイの辺端部及び隅端部を避けて比較的プロセスマージンの大きな中央部に配置し、あるいはメモリアレイの中央部を含む内側部に分散して配置するとともに、冗長ワード線及び冗長ビット線が使用状態にないときには、その実質的な駆動経路となるXアドレスデコーダとの間あるいはセンスアンプの対応する単位増幅回路と共通ソース線との間を切断状態とする。

【0007】

【作用】 上記した手段によれば、冗長ワード線及び冗長ビット線を比較的プロセスマージンが大きなメモリアレイの内側部に配置することで、冗長ワード線及び冗長ビット線自体の障害発生率を低くし、冗長ワード線及び冗長ビット線を分散配置することで、異物混入等により複数の冗長ワード線又は冗長ビット線が同時に不良となるのを防止し、さらに使用状態にない冗長ワード線及び冗長ビット線の駆動経路を切断することで、欠陥を持ちかつ使用状態にない冗長ワード線又は冗長ビット線が他の回路の正常動作に与える悪影響を防止することができる。これらの結果、冗長ワード線及び冗長ビット線を備えるダイナミック型RAM等の救済効率を高め、その製品歩留まりを高めることができる。

【0008】

【実施例】 図1には、この発明が適用されたダイナミック型RAMの一実施例のブロック図が示されている。ま

3

た、図2には、図1のダイナミック型RAMに含まれるメモリアレイ及びセンスアンプの一実施例の部分的な回路図が示されている。これらの図をもとに、まずダイナミック型RAMの構成及び動作の概要ならびにその特徴について説明する。なお、図2の各回路素子ならびに図1の各ブロックを構成する回路素子は、公知のMOSFET（金属酸化物半導体型電界効果トランジスタ。この明細書では、MOSFETをして絶縁ゲート型電界効果トランジスタの総称とする）集積回路の製造技術により、単結晶シリコンのような1個の半導体基板上に形成される。また、図2において、そのチャンネル（バックゲート）部に矢印が付されるMOSFETはPチャンネル型であって、矢印の付されないNチャンネルMOSFETと区別して示される。さらに、メモリアレイに関する以下の説明は、図2のメモリアレイARY1を例に進められるが、メモリアレイARY0についてはこれと同一構成とされるため、類推されたい。

【0009】図1において、この実施例のダイナミック型RAMは、いわゆるシェアドセンス方式を採り、センスアンプSAと、これを挟む一対のメモリアレイARY0及びARY1とを備える。このうち、メモリアレイARY0及びARY1は、図2のメモリアレイARY1に代表されるように、図の垂直方向に平行して配置される $m+1$ 本のワード線 $W00 \sim W0m$, $W10 \sim W1m$ ならびに4本の冗長ワード線 $WR00 \sim WR03$, $WR10 \sim WR13$ と、水平方向に平行して配置される $n+1$ 組の相補ビット線 $B0* \sim Bn*$ （ここで、例えば非反転ビット線 $B0T$ 及び反転ビット線 $B0B$ をあわせて相補ビット線 $B0*$ のように $*$ を付して表す。また、それが有効とされるとき選択的にハイレベルとされる非反転信号等についてはその名称の末尾に T を付して表し、それが有効とされるとき選択的にロウレベルとされる反転信号等についてはその名称の末尾に B を付して表す。以下同様）ならびに8組の冗長ビット線 $BR0* \sim BR7*$ とを含む。これらのワード線及び冗長ワード線ならびに相補ビット線及び冗長ビット線の交点には、情報蓄積キャパシタ Cs 及びアドレス選択MOSFET Qa からなる $(m+5) \times (n+9)$ 個のダイナミック型メモリセルが格子状に配置される。

【0010】この実施例において、冗長素子となる冗長ワード線 $WR00 \sim WR03$, $WR10 \sim WR13$ ならびに冗長ビット線 $BR0* \sim BR7*$ は、対応する冗長メモリセルを含めて、メモリアレイARY0及びARY1の比較のプロセスマージンの大きな中央部分にまとめて配置される。これにより、冗長ワード線及び冗長ビット線自体の障害発生率を低くして、ダイナミック型RAMの救済効率つまりは製品歩留まりを高めることができる。なお、冗長ワード線及び冗長ビット線の配置位置と救済効率との関係等については、後で詳細に説明する。

【0011】メモリアレイARY0及びARY1の同一

4

列に配置された $m+5$ 個のメモリセルのアドレス選択MOSFET Qa のドレインは、対応する相補ビット線 $B0* \sim Bn*$ あるいは冗長ビット線 $BR0* \sim BR7*$ の非反転又は反転信号線に所定の規則性をもって交互に結合される。また、同一行に配置された $n+9$ 個のメモリセルのアドレス選択MOSFET Qa のゲートは、対応するワード線 $W00 \sim W0m$, $W10 \sim W1m$ あるいは冗長ワード線 $WR00 \sim WR03$, $WR10 \sim WR13$ にそれぞれ共通結合される。メモリアレイARY0及びARY1を構成するすべてのメモリセルの情報蓄積キャパシタ Cs の他方の電極には、所定のプレート電圧 VP が共通に供給される。なお、プレート電圧 VP は、電源電圧 VCC 及び接地電位 VSS のほぼ中間電位とされる。また、電源電圧 VCC は、特に制限されないが、+3.3V（ボルト）の正電位とされる。

【0012】メモリアレイARY0及びARY1を構成するワード線 $W00 \sim W0m$, $W10 \sim W1m$ ならびに冗長ワード線 $WR00 \sim WR03$, $WR10 \sim WR13$ は、その下方において対応するXアドレスデコーダXD0及びXD1に結合され、択一的に選択状態とされる。XアドレスデコーダXD0及びXD1には、XアドレスバッファXBから $i+1$ ビットの内部アドレス信号 $X0 \sim Xi$ が共通に供給されるとともに、X系冗長切り換え回路XRから4ビットの冗長ワード線選択信号 $XR00 \sim XR03$ ならびに $XR10 \sim XR13$ と、同じく4ビットのX系冗長イネーブル信号 $XRE00 \sim XRE03$ ならびに $XRE10 \sim XRE13$ がそれぞれ供給される。また、X系冗長切り換え回路XRには、内部アドレス信号 $X0 \sim Xi$ が供給され、XアドレスバッファXBには、アドレス入力端子 $A0 \sim Ai$ を介してXアドレス信号 $AX0 \sim AXi$ が時分割的に供給される。

【0013】XアドレスバッファXBは、アドレス入力端子 $A0 \sim Ai$ を介して供給されるXアドレス信号 $AX0 \sim AXi$ を図示されない内部制御信号XLに従って取り込み、保持するとともに、これらのXアドレス信号をもとに内部制御信号 $X0 \sim Xi$ を形成して、X系冗長切り換え回路XR, XアドレスデコーダXD0及びXD1に供給する。また、X系冗長切り換え回路XRは、メモリアレイARY0及びARY1の冗長ワード線 $WR00 \sim WR03$ ならびに $WR10 \sim WR13$ に割り当てられた不良ワード線のアドレスを保持するとともに、これらの不良アドレスとアクセスに際して供給されるXアドレス信号 $AX0 \sim AXi$ つまり内部アドレス信号 $X0 \sim Xi$ とをビットごとに比較照合し、両アドレスが全ビット一致したとき、対応する冗長ワード線選択信号 $XR00 \sim XR03$ あるいは $XR10 \sim XR13$ を選択的にハイレベルとする。さらに、XアドレスデコーダXD0及びXD1は、図示されない内部制御信号XG0又はXG1のハイレベルを受けて選択的に動作状態とされ、XアドレスバッファXBから供給される内部アドレス信号 $X0$

5

～X_iをデコードしあるいは冗長ワード線選択信号XR₀₀～XR₀₃, XR₁₀～XR₁₃に従って、メモリアレイARY₀又はARY₁の対応するワード線又は冗長ワード線を択一的にハイレベルの選択状態とする。

【0014】この実施例において、メモリアレイARY₀及びARY₁の冗長ワード線WR₀₀～WR₀₃ならびにWR₁₀～WR₁₃は、図2の冗長ワード線WR₁₀及びWR₁₁に代表して示されるように、NチャンネルMOSFETN₉及びNA等を介してXアドレスデコーダXD₁等に結合される。また、X系冗長切り換え回路XRは、メモリアレイARY₀及びARY₁の冗長ワード線WR₀₀～WR₀₃ならびにWR₁₀～WR₁₃がいずれかの不良ワード線に置き換えられたとき、MOSFETN₉及びNA等のゲートに供給されるX系冗長イネーブル信号XRE₀₀～XRE₀₃あるいはXRE₁₀～XRE₁₃を選択的にハイレベルとする。これにより、MOSFETN₉及びNA等は、対応するX系冗長イネーブル信号XRE₁₀又はXRE₁₁等がハイレベルとされることで、すなわち対応する冗長ワード線WR₁₀及びWR₁₁等がいずれかの不良ワード線と置き換えられたとき選択的にオン状態となり、これらの冗長ワード線とXアドレスデコーダXD₁等との間を接続状態とする。言い換えるならば、冗長ワード線WR₁₀及びWR₁₁等は、それが使用状態にないときそのXアドレスデコーダXD₁等との間の駆動経路を選択的に切断される訳であり、これによって欠陥を持ちかつ使用状態にない冗長ワード線が他の回路の正常動作に与える悪影響を防止し、ダイナミック型RAMの製品歩留まりを高めることができる。

【0015】次に、メモリアレイARY₀及びARY₁を構成する相補ビット線B₀*～B_n*ならびに冗長ビット線BR₀*～BR₇*は、センスアンプSAの対応する単位回路に結合される。センスアンプSAには、YアドレスデコーダYDからn+1ビットのビット線選択信号YS₀～YS_nと8ビットの冗長ビット線選択信号YR₀～YR₇とが供給されるとともに、タイミング発生回路TGからシェアド制御信号SH₀及びSH₁ならびに図示されない内部制御信号PA及び反転内部制御信号PABが供給される。YアドレスデコーダYDには、YアドレスバッファYBからi+1ビットの内部アドレス信号Y₀～Y_iが供給され、Y系冗長切り換え回路YRから8ビットの冗長ビット線選択信号YR₀～YR₇ならびにY系冗長イネーブル信号YRE₀～YRE₇が供給される。また、Y系冗長切り換え回路YRには、YアドレスバッファYBから内部アドレス信号Y₀～Y_iが供給され、YアドレスバッファYBには、アドレス入力端子A₀～A_iを介してYアドレス信号AY₀～AY_iが時分割的に供給される。

【0016】YアドレスバッファYBは、アドレス入力端子A₀～A_iを介して供給されるYアドレス信号AY

6

0～AY_iを内部制御信号YLに従って取り込み保持するとともに、これらのYアドレス信号をもとに内部アドレス信号Y₀～Y_iを形成して、YアドレスデコーダYD及びY系冗長切り換え回路YRに供給する。また、Y系冗長切り換え回路YRは、メモリアレイARY₀及びARY₁の冗長ビット線BR₀*～BR₇*に割り当てられた不良ビット線のアドレスを保持するとともに、これらの不良アドレスとアクセスに際して外部から供給されるYアドレス信号AY₀～AY_iつまり内部アドレス信号Y₀～Y_iとをビットごとに比較照合し、両アドレスが全ビット一致したとき、対応する冗長ビット線選択信号YR₀～YR₇を選択的にハイレベルとする。さらに、YアドレスデコーダYDは、図示されない内部制御信号YGのハイレベルを受けて選択的に動作状態とされ、YアドレスバッファYBから供給される内部アドレス信号Y₀～Y_iをデコードして、対応するビット線選択信号YS₀～YS_nを択一的にハイレベルとするとともに、Y系冗長切り換え回路YRから供給される冗長ビット線選択信号YR₀～YR₇をそのままセンスアンプSAに伝達する。なお、冗長ビット線選択信号YR₀～YR₇のいずれかがハイレベルとされるとき、YアドレスデコーダYDによる内部アドレス信号Y₀～Y_iのデコード動作は停止される。

【0017】一方、センスアンプSAは、メモリアレイARY₀及びARY₁の相補ビット線B₀*～B_n*ならびに冗長ビット線BR₀*～BR₇*に対応して設けられるn+9個の単位回路を含み、これらの単位回路のそれぞれは、図2に例示されるように、一対のCMOS（相補型MOS）インバータが交差結合されてなる単位増幅回路UAと、相補ビット線B₀*～B_n*あるいは冗長ビット線BR₀*～BR₇*と相補共通データ線CD*との間にそれぞれ設けられるNチャンネル型のスイッチMOSFETN₅及びN₆を含む。このうち、単位増幅回路UAには、そのゲートに反転内部制御信号PABを受けるPチャンネル型の駆動MOSFETP₁からコモンソース線SPを介して回路の電源電圧が選択的に供給されるとともに、そのゲートに内部制御信号PAを受けるNチャンネル型の駆動MOSFETN₁からコモンソース線SNを介して回路の接地電位が選択的に供給される。また、スイッチMOSFETN₅及びN₆のゲートはそれぞれ共通結合され、YアドレスデコーダYDから対応するビット線選択信号YS₀～YS_nあるいは冗長ビット線選択信号YR₀～YR₇がそれぞれ供給される。

【0018】さらに、センスアンプSAの各単位回路は、その左方においてNチャンネル型の対応するシェアドMOSFETN₃及びN₄を介してメモリアレイARY₀の対応するビット線B₀*～B_n*あるいは冗長ビット線BR₀*～BR₇*にそれぞれ結合され、その右方においてやはりNチャンネル型の対応するシェアドM

7

OSFETN7及びN8を介してメモリアレイARY1の対応するビット線B0*~Bn*あるいは冗長ビット線BR0*~BR7*にそれぞれ結合される。シェアドMOSFETN3及びN4のゲートには、タイミング発生回路TGからシェアド制御信号SH0が共通に供給され、シェアドMOSFETN7及びN8のゲートには、シェアド制御信号SH1が共通に供給される。

【0019】これらのことから、センスアンプSAの各単位回路は、シェアド制御信号SH0がハイレベルとされシェアドMOSFETN3及びN4がオン状態とされるとき、メモリアレイARY0の対応する相補ビット線又は冗長ビット線と選択的に接続状態とされ、シェアド制御信号SH1がハイレベルとされシェアドMOSFETN7及びN8がオン状態とされるとき、メモリアレイARY1の対応する相補ビット線又は冗長ビット線と選択的に接続状態とされる。このとき、各単位回路の単位増幅回路UAは、内部制御信号PAがハイレベルとされ反転内部制御信号PABがロウレベルとされることで一斉に動作状態とされ、メモリアレイARY0又はARY1の選択されたワード線又は冗長ワード線に結合されるn+9個のメモリセルから対応する相補ビット線又は冗長ビット線を介して出力される微小読み出し信号をそれぞれ増幅して、ハイレベル又はロウレベルの2値読み出し信号とする。また、各単位回路のスイッチMOSFETN5及びN6は、対応するビット線選択信号YS0~YSnあるいは冗長ビット線選択信号YR0~YR7がハイレベルとされることで選択的にオン状態となり、対応する単位増幅回路UAの非反転及び反転出力ノードつまりはメモリアレイARY0又はARY1の対応する相補ビット線B0*~Bn*あるいは冗長ビット線BR0*~BR7*と相補共通データ線CD*との間を選択的に接続状態とする。

【0020】この実施例において、センスアンプSAの冗長ビット線BR0*~BR7*に対応して設けられる単位回路は、図2の冗長ビット線BR0*に対応する単位回路に代表されるように、その単位増幅回路UAとコモンソース線SP及びSNとの間にそれぞれ設けられるPチャンネルMOSFETP2及びNチャンネルMOSFETN2を含む。また、Y系冗長切り換え回路YRは、メモリアレイARY0及びARY1の冗長ビット線BR0*~BR7*がいずれかの不良ビット線に置き換えられたとき、上記MOSFETP2及びN2のゲートにそのままあるいはインバータV1を介して供給されるY系冗長イネーブル信号YRE0~YRE7を選択的にハイレベルとする。これにより、MOSFETP2及びN2は、対応するY系冗長イネーブル信号YRE0等がハイレベルとされることで、すなわち対応する冗長ビット線YR0等がいずれかの不良ビット線と置き換えられたとき選択的にオン状態となり、対応する単位増幅回路UAとコモンソース線SP及びSNとの間を接続状態と

8

する。言い換えるならば、冗長ビット線BR0*~BR7*つまりセンスアンプSAの各冗長ビット線に対応して設けられる単位増幅回路UAは、対応する冗長ビット線が使用状態にないときそのコモンソース線SP及びSNとの間の駆動経路を選択的に切断される訳であり、これによって欠陥を持ちかつ使用状態にない冗長ビット線が他の回路の正常動作に与える悪影響を防止し、ダイナミック型RAMの製品歩留まりを高めることができる。

【0021】センスアンプSAの各単位増幅回路UAの非反転及び反転出力ノードすなわちメモリアレイARY0又はARY1の指定された相補ビット線又は冗長ビット線が選択的に接続状態とされる相補共通データ線CD*は、ライトアンプWAの出力端子に結合されるとともに、メインアンプMAの入力端子に結合される。ライトアンプWAの入力端子はデータ入力バッファIBの出力端子に結合され、このデータ入力バッファIBの入力端子はデータ入力端子Dinに結合される。また、メインアンプMAの出力端子はデータ出力バッファOBの入力端子に結合され、このデータ出力バッファOBの出力端子はデータ出力端子Doutに結合される。ライトアンプWAには、タイミング発生回路TGから図示されない内部制御信号WPが供給され、メインアンプMA及びデータ出力バッファOBには、図示されない内部制御信号RP及びDOCがそれぞれ供給される。

【0022】データ入力バッファIBは、ダイナミック型RAMがライトモードで選択状態とされるとき、データ入力端子Dinを介して入力される書き込みデータを取り込み、ライトアンプWAに伝達する。このとき、ライトアンプWAは、内部制御信号WPのハイレベルを受けて選択的に動作状態とされ、データ入力バッファIBから伝達される書き込みデータを所定の相補書き込み信号とした後、相補共通データ線CD*からセンスアンプSAの対応する単位回路を介してメモリアレイARY0又はARY1の選択された1個のメモリセルに書き込む。

【0023】一方、メインアンプMAは、ダイナミック型RAMがリードモードで選択状態とされるとき内部制御信号RPのハイレベルを受けて選択的に動作状態とされ、メモリアレイARY0又はARY1の選択された1個のメモリセルからセンスアンプSAの対応する単位回路ならびに相補共通データ線CD*を介して出力される読み出し信号をさらに増幅して、データ出力バッファOBに伝達する。このとき、データ出力バッファOBは、内部制御信号DOCのハイレベルを受けて選択的に動作状態とされ、メインアンプMAから出力される読み出し信号をデータ出力端子Doutを介してダイナミック型RAMの外部に出力する。

【0024】タイミング発生回路TGは、外部から起動制御信号として供給されるロウアドレスストローブ信号RASB、カラムアドレスストローブ信号CASBなら

びにライトイネーブル信号WEBをもとに、上記各種の内部制御信号を選択的に形成して、ダイナミック型RAMの各部に供給する。

【0025】図3及び図4には、図1のダイナミック型RAMの第1及び第2の実施例の基板配置図がそれぞれ示されている。また、図5には、図1のダイナミック型RAMが形成される半導体基板（チップ）面の配置位置とプロセスマージンとの関係を示すための概念図が示され、図6には、この発明に先立って本願発明者等が開発したダイナミック型RAMの基板配置図の一例が示されている。これらの図をもとに、この実施例のダイナミック型RAMの基板配置の概要とプロセスマージンならびにその特徴について説明する。なお、以下の基板配置図では、メモリアレイARY0及びARY1の冗長ワード線及び冗長ビット線に関する部分のみが代表して示されている。また、基板配置に関する以下の説明では、図3ないし図6の位置関係をもって半導体基板上での上下左右を表す。

【0026】まず、図3において、この実施例のダイナミック型RAMは、前述のように、センスアンプSAならびに一对のメモリアレイARY0及びARY1を備え、これらのメモリアレイARY0及びARY1は、半導体基板SUBの縦の中央部に配置されたセンスアンプSAを挟むべくその両側に配置される。メモリアレイARY0及びARY1は、4本の冗長ワード線WR00～WR03ならびにWR10～WR13と8組の冗長ビット線BR0*～BR7*とをそれぞれ含み、これらの冗長ワード線及び冗長ビット線は、対応するメモリアレイARY0及びARY1の縦又は横方向の中央部にそれぞれまとめて配置される。

【0027】周知のように、メモリアレイARY0及びARY1の辺端部つまりその各辺に近接した部分では、特にセンスアンプSAの近接部における配線層の段差や露光マージンの低下等の影響を受けやすいため、そのプロセスマージンは、図5に例示されるように、アレイ中央部分を含むいわゆる内側部に比較して例えば10%程度小さくなる。また、メモリアレイARY0及びARY1の隅端部つまりその四隅に近接した部分では、特に水洗後の乾燥不足やエッチング残等の影響を受けやすいため、さらに例えば10%程度そのプロセスマージンが小さくなり、内側部に比較すると20%程度のプロセスマージン低下となる。したがって、内側部におけるビット救済率を100%とした場合、各辺端部におけるビット救済率は90%となり、各隅端部におけるビット救済率は80%となる。

【0028】ここで、メモリアレイARY0及びARY1を構成するワード線の本数 $m+1$ を256、相補ビット線の組数 $n+1$ を2048とし、各辺端部及び隅端部がそれぞれ外側64ビットのメモリセルからなるものとして、ダイナミック型RAMの製品歩留まりを試算して

みよう。まず、図6に例示されるように、冗長ワード線WR00～WR03、WR10～WR13ならびに冗長ビット線BR0*～BR7*がすべてメモリアレイARY0又はARY1の辺端部に配置される従来のダイナミック型RAMの場合、メモリアレイARY0の右上部ならびにメモリアレイARY1の左上部の隅端部で欠陥救済に供される冗長メモリセルの数 $Nc1$ は、各メモリアレイに設けられる冗長ワード線の数4であることから、

$$10 \quad Nc1 = 2 \times 4 \times 64 = 512$$

となる。また、メモリアレイARY0の左下部ならびにメモリアレイARY1の右下部の隅端部で欠陥救済に供される冗長メモリセルの数 $Nc2$ は、各メモリアレイに設けられる冗長ビット線の数8であることから、

$$Nc2 = 2 \times 8 \times 64 = 1024$$

となり、メモリアレイARY0の右下部ならびにメモリアレイARY1の左下部の隅端部で欠陥救済に供される冗長メモリセルの数 $Nc3$ は、冗長ワード線及び冗長ビット線の交差部分のダブリを差し引いて、

$$20 \quad Nc3 = 2 \times \{4 \times 64 + 8 \times (64 - 4)\} = 1472$$

となる。

【0029】これらの結果、メモリアレイARY0及びARY1の合計6個所の隅端部で欠陥救済に供される冗長メモリセルの総数 Nct は、

$$Nct = Nc1 + Nc2 + Nc3 \\ = 512 + 1024 + 1472 = 3008$$

となり、その正常に欠陥救済に供しうる数 Ncn は、隅端部におけるプロセスマージンが20%低下しビット救済率が80%であることを考慮すると、

$$Ncn = Nct \times 0.8 \\ = 3008 \times 0.8 = 2406$$

となる。

【0030】次に、図6のメモリアレイARY0のセンスアンプSAに近接する右辺端部ならびにメモリアレイARY1のセンスアンプSAに近接する左辺端部で欠陥救済に供される冗長メモリセルの数 $Ne1$ は、上記隅端部で欠陥救済に供される冗長メモリセルの数 $Nc1$ 及び $Nc3$ を差し引くと、

$$40 \quad Ne1 = 2 \times 4 \times (2048 + 8) - 512 - 1472 \\ = 14464$$

となり、メモリアレイARY0及びARY1の下辺端部で欠陥救済に供される冗長メモリセルの数 $Ne2$ は、上記隅端部で欠陥救済に供される冗長メモリセルの数 $Nc2$ 及び $Nc3$ を差し引くと、

$$Ne2 = 2 \times 8 \times (256 + 4) - 1024 - 1472 \\ = 1664$$

となる。したがって、メモリアレイARY0及びARY1の合計4個所の辺端部で欠陥救済に供される冗長メモリセルの総数 Net は、

11

$$Net = Ne1 + Ne2$$

$$= 14464 + 1664 = 16128$$

となり、その正常に欠陥救済に供しうる数 Ne_n は、辺端部におけるプロセスマージンが10%低下しビット救済率が90%であることを考慮すると、

$$Ne_n = Net \times 0.9$$

$$= 16128 \times 0.9 = 14515$$

となる。

【0031】以上のことから、図6のダイナミック型RAMにおいて欠陥救済に供される冗長メモリの総数 Nrt は、

$$Nrt = Nct + Net$$

$$= 3008 + 16128 = 19136$$

となり、冗長メモリセルとしてのビット救済率つまり製品歩留まり Rs は、

$$Rs = (Ncn + Ne_n) / Nrt$$

$$= (2406 + 14515) / 19136$$

$$= 0.884$$

つまり約88.4%となる。

【0032】一方、この発明が適用された図3のダイナミック型RAMの場合、欠陥救済に供される冗長メモリの総数 Nrt は上記図6の場合と同じであるが、これらの冗長メモリのうち、メモリアレイ $ARY0$ 及び $ARY1$ の上辺端部及び下辺端部で欠陥救済に供される冗長メモリの数 $Ne3$ は、

$$Ne3 = 2 \times 2 \times 4 \times 64 = 1024$$

となり、メモリアレイ $ARY0$ 及び $ARY1$ の左辺端部及び右辺端部で欠陥救済に供される冗長メモリの数 $Ne4$ は、

$$Ne4 = 2 \times 2 \times 8 \times 64 = 2048$$

となる。したがって、メモリアレイ $ARY0$ 及び $ARY1$ の合計8個所の辺端部で欠陥救済に供される冗長メモリの総数 Net は、

$$Net = Ne3 + Ne4$$

$$= 1024 + 2048 = 3072$$

となり、その正常に欠陥救済に供しうる数 Ne_n は、辺端部におけるプロセスマージンが10%低下しビット救済率が90%であることを考慮すると、

$$Ne_n = Net \times 0.9$$

$$= 3072 \times 0.9 = 2765$$

となる。

【0033】前述のように、図3のダイナミック型RAMにおいて欠陥救済に供される冗長メモリの総数 Nrt は19136であるため、辺端部を除く各メモリアレイの内側部で欠陥救済に供される冗長メモリの総数 Nit は、

$$Nit = Nrt - Net$$

$$= 19136 - 3072 = 16064$$

となる。これらの冗長メモリセルは、内側部におけるプロセスマージンが100%とされることから、そのまま

12

内側部において正常に欠陥救済に供しうる冗長メモリセルの数 Nin となるため、冗長メモリセルとしてのビット救済率つまり製品歩留まり Rs は、

$$Rs = (Ne_n + Nin) / Nrt$$

$$= (2765 + 16064) / 19136$$

$$= 0.984$$

つまり約98.4%となる。この結果、この実施例のダイナミック型RAMの場合、前記図6の従来例に比較してその救済効率が約10%高くなり、これによってダイナミック型RAMの製品歩留まりが高められるものとなる。

【0034】ところで、図3のダイナミック型RAMの場合、冗長ワード線 $WR00 \sim WR03$ 、 $WR10 \sim WR13$ ならびに冗長ビット線 $BR0* \sim BR7*$ は、メモリアレイ $ARY0$ 及び $ARY1$ の縦又は横方向の中央部にまとめて配置されるが、これらの冗長ワード線及び冗長ビット線は、図4に例示されるように、メモリアレイ $ARY0$ 及び $ARY1$ の辺端部及び隅端部を除く内側部に分散して配置することができる。この場合、図3の実施例と同様に、その救済効率が図6に比較して約10%高くなるとともに、例えば異物の混入等によりすべての冗長ワード線 $WR00 \sim WR03$ 、 $WR10 \sim WR13$ あるいはすべての冗長ビット線 $BR0* \sim BR7*$ が同時に障害となる確率が大幅に低くなり、これによってダイナミック型RAMの製品歩留まりをさらに高めることができるものとなる。

【0035】以上の実施例から得られる作用効果は、下記の通りである。すなわち、

(1) 冗長ワード線及び冗長ビット線を含むメモリアレイと、メモリアレイの各ビット線に対応して設けられる単位増幅回路を含むセンスアンプとを具備するダイナミック型RAM等において、冗長ワード線及び冗長ビット線を、メモリアレイの比較的プロセスマージンの低い辺端部及び隅端部を避けて、比較的プロセスマージンの高い中央部分を含む内側部に配置することで、冗長ワード線及び冗長ビット線の障害発生率を低くすることができるという効果が得られる。

(2) 上記(1)項において、冗長ワード線及び冗長ビット線を、メモリアレイの比較的プロセスマージンの高い中央部分を含む内側部に分散して配置することで、異物混入等により複数の冗長ワード線又は冗長ビット線が同時に不良となるのを防止することができるという効果が得られる。

【0036】(3) 上記(1)項及び(2)項において、冗長ワード線及び冗長ビット線が使用状態にないとき、その実質的な駆動経路となるXアドレスデコードとの間あるいはセンスアンプの対応する単位増幅回路とコモンソース線との間を切断することで、欠陥を持ちかつ使用状態にない冗長ワード線又は冗長ビット線が他の回路の正常動作に与える悪影響を防止できるという効果が

得られる。

(4) 上記(1)項ないし(3)項により、冗長ワード線及び冗長ビット線を備えるダイナミック型RAM等の救済効率を高め、その製品歩留まりを高めることができるという効果が得られる。

【0037】以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、この発明は、上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。例えば、図1において、メモリアレイARY0及びARY1に設けられる冗長ワード線及び冗長ビット線の数、任意に設定できる。また、メモリアレイARY0及びARY1は、その直接周辺回路を含めて複数のメモリマツトに分割することができる。ダイナミック型RAMは、複数ビットの記憶データを同時に入力又は出力するいわゆる多ビット構成を採りうるし、記憶データの各ビットに対応して設けられるデータ入力端子及びデータ出力端子をデータ入出力端子として共有化することもできる。さらに、ダイナミック型RAMはシェアドセンス方式を採用することを必須条件とはしないし、そのブロック構成や起動制御信号、アドレス信号及び内部制御信号の名称及び組み合わせならびに論理レベル等は、種々の実施形態を採りうる。

【0038】図2において、センスアンプSAの各単位回路は、メモリアレイARY0及びARY1を構成する相補ビット線B0*~Bn*の非反転及び反転信号線をイコライズするためのビット線ブリチャージ回路を含むことができる。また、冗長ワード線WR10及びWR11等の駆動経路を切断するためのMOSFETN9及びNA等は、XアドレスデコーダXD0又はXD1に含まれるものとしてもよいし、センスアンプSAの単位増幅回路UAの駆動経路を切断するためのMOSFETP2及びN2は、ともにNチャンネルMOSFETとして単位増幅回路UAの非反転及び反転入出力ノードと対応する相補ビット線の非反転又は反転信号線との間に設けてもよい。駆動MOSFETP1及びN1は、並列形態とされ所定の時間をおいて順次オン状態とされる複数のPチャンネルMOSFET又はNチャンネルMOSFETに置き換えることができる。さらに、メモリアレイARY0及びARY1ならびにセンスアンプSAの具体的構成や電源電圧の極性及び絶対値ならびにMOSFETの導電型等は、種々の実施形態を採りうる。

【0039】図3において、冗長ワード線WR00~WR03, WR10~WR13ならびに冗長ビット線BR0*~BR7*は、メモリアレイARY0又はARY1の中央部分に限らず、内側部の任意に位置にまとめて配置することができる。図3ないし図6において、製品歩留まりを試算するために設定したメモリアレイARY0及びARY1のワード線数及びビット線数や、各メモリアレイの辺端部及び隅端部における構成メモリセルのビ

ット数ならびにメモリアレイ各部のプロセスマージン及び障害発生率等の具体値は、任意の値を採ることができる。

【0040】以上の説明では、主として本発明者によってなされた発明をその背景となった利用分野であるダイナミック型RAMに適用した場合について説明したが、それに限定されるものではなく、例えば、同様な冗長ワード線及び冗長ビット線を備えるスタティック型RAM等の各種メモリ集積回路やこのようなメモリ集積回路を搭載するゲートアレイ集積回路等の論理集積回路装置にも適用できる。この発明は、少なくとも冗長素子を備える半導体装置ならびにこのような半導体装置を含む装置及びシステムに広く適用できる。

【0041】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、冗長ワード線及び冗長ビット線を含むメモリアレイと、メモリアレイの各ビット線に対応して設けられる単位増幅回路を含むセンスアンプとを具備するダイナミック型RAM等において、冗長ワード線及び冗長ビット線を、メモリアレイの比較的プロセスマージンの小さな辺端部及び隅端部を避けて比較的プロセスマージンの大きな中央部を含む内側部に配置し、あるいは内側部に分散して配置するとともに、冗長ワード線及び冗長ビット線が使用状態にないときには、その実質的な駆動経路となるXアドレスデコーダとの間あるいはセンスアンプの対応する単位増幅回路とコモンソース線との間を切断状態とすることで、冗長ワード線及び冗長ビット線自体の障害発生率を低くし、異物混入等により複数の冗長ワード線又は冗長ビット線が同時に不良となるのを防止し、さらには欠陥を持ちかつ使用状態にない冗長ワード線又は冗長ビット線が他の回路の正常動作に与える悪影響を防止することができる。これにより、冗長ワード線及び冗長ビット線を備えるダイナミック型RAM等の救済効率を高め、その製品歩留まりを高めることができる。

【図面の簡単な説明】

【図1】この発明が適用されたダイナミック型RAMの一実施例を示すブロック図である。

【図2】図1のダイナミック型RAMに含まれるメモリアレイ及びセンスアンプの一実施例を示す部分的な回路図である。

【図3】図1のダイナミック型RAMの第1の実施例を示す基板配置図である。

【図4】図1のダイナミック型RAMの第2の実施例を示す基板配置図である。

【図5】図1のダイナミック型RAMが形成される半導体基板の配置位置とプロセスマージンとの関係を説明するための概念図である。

【図6】この発明に先立って本願発明者等が開発したダ

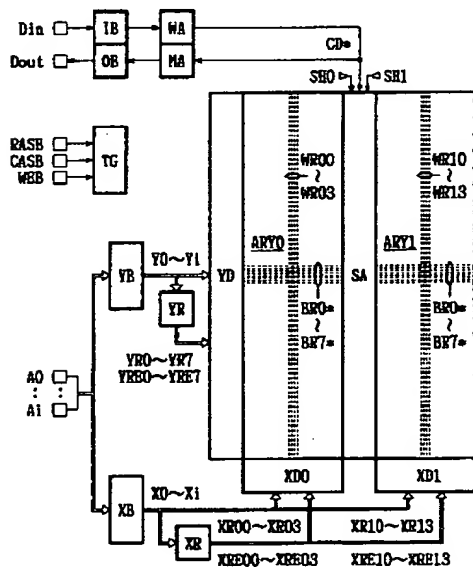
イナミック型RAMの一例を示す基板配置図である。

【符号の説明】

ARY0, ARY1・・・メモリアレイ、WR00～WR03, WR10～WR13・・・冗長ワード線、BR0*～BR7*・・・冗長ビット線、XD0, XD1・・・Xアドレスデコーダ、XR・・・X系冗長切り換え回路、XR00～XR03, XR10～XR13・・・冗長ワード線選択信号、XRE00～XRE03, XRE10～XRE13・・・X系冗長イネーブル信号、XB・・・Xアドレスバッファ、SA・・・センスアンプ、YD・・・Yアドレスデコーダ、YR・・・Y系冗長切り換え回路、YR0～YR7・・・冗長ビット線選択信号、YRE0～YRE7・・・Y系冗長イネーブル信

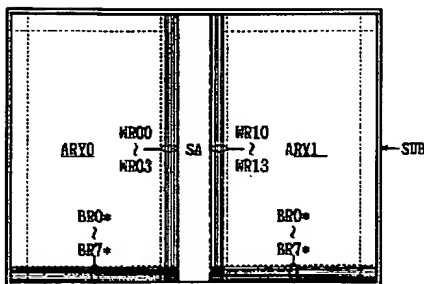
【図1】

図1 ダイナミック型RAMのブロック構成



【図6】

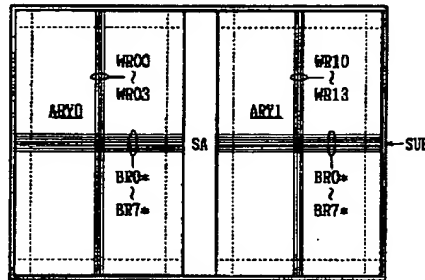
図6 ダイナミック型RAMの基板配置



号、YB・・・Yアドレスバッファ、WA・・・ライトアンプ、MA・・・メインアンプ、IB・・・データ入力バッファ、OB・・・データ出力バッファ、TG・・・タイミング発生回路。W00～W0m, W10～W1m・・・ワード線、B0*～Bn*・・・相補ビット線、Cs・・・情報蓄積キャパシタ、Qa・・・アドレス選択MOSFET、SH0, SH1・・・シェアド制御信号、UA・・・単位増幅回路、SP, SN・・・コンソース線、YS0～YSn・・・ビット線選択信号、CD*・・・相補共通データ線、P1～P2・・・PチャンネルMOSFET、N1～NA・・・NチャンネルMOSFET、V1・・・インバータ。SUB・・・半導体基板。

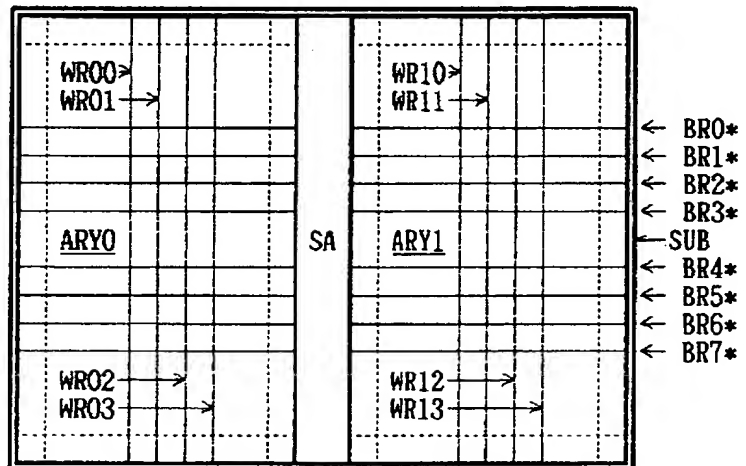
【図3】

図3 ダイナミック型RAMの基板配置 (実施例1)



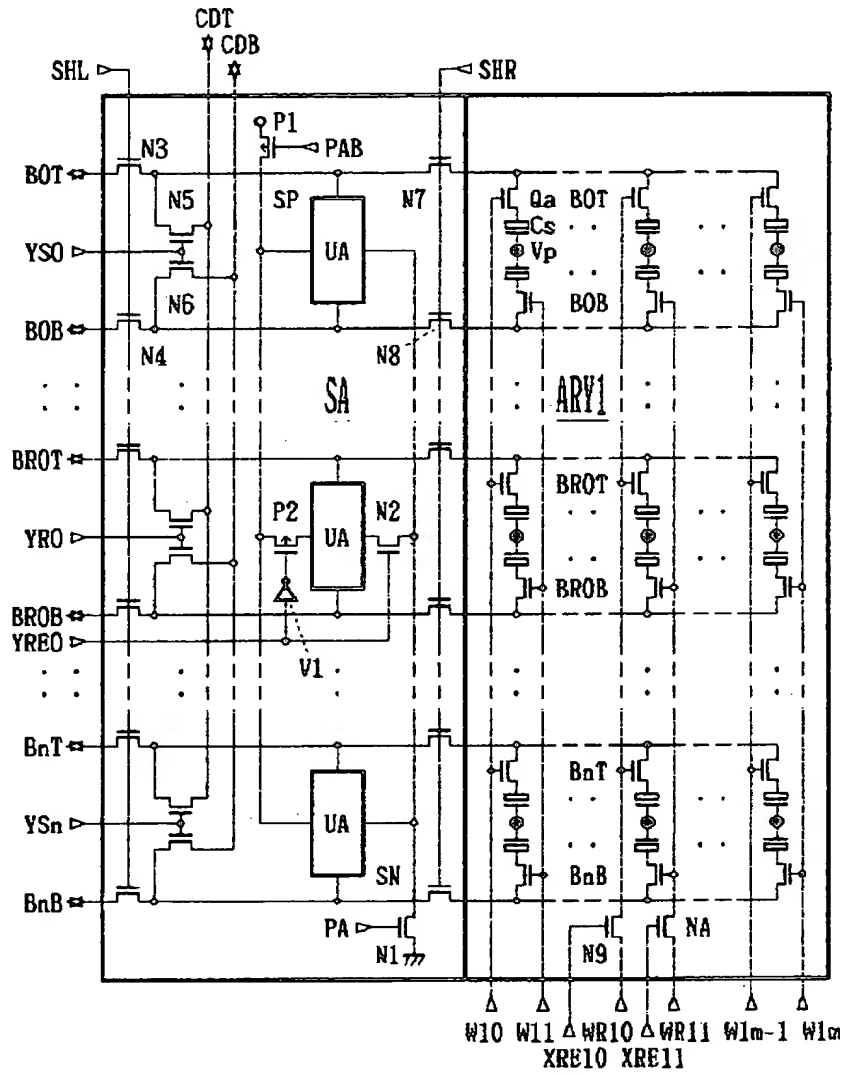
【図4】

図4 ダイナミック型RAMの基板配置 (実施例2)



【図2】

図2 メモリアレイ及びセンスアンプの部分回路構成



【図5】

図5 基板位置におけるプロセスマージン

